

SEMICONDUCTOR DEVICE

Patent Number: JP10050982

Publication date: 1998-02-20

Inventor(s): MAEDA YUKIHIKO; ENOKI TAKATOMO; ISHII YASUNOBU

Applicant(s): NIPPON TELEGR & TELEPH CORP <NTT>

Requested Patent: JP10050982

Application Number: JP19960202467 19960731

Priority Number(s):

IPC Classification: H01L29/778; H01L21/338; H01L29/812

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To realize a high performance lattice commensurate system ($X=0.53$) or lattice incommensurate system ($X>0.53$) InP base HEMT(high electron mobility transistor) by suppressing or reducing generation of kink, lowering of breakdown strength, increase of drain conductance, etc.

SOLUTION: In a heterojunction field effect transistor having a double heterostructure channel layer of lattice commensurate system and lattice incommensurate system where a two-dimensional electron channel is formed by a gate voltage, spatial positions where electron and hole are present locally are superposed by inserting a semiconductor layer located above the valence band of the channel layer into a heterojunction interface on the side for forming the two-dimensional electron channel in the double heterostructure of the channel layer.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-50982

(43)公開日 平成10年(1998)2月20日

(51)Int.Cl.⁶
H 01 L 29/778
21/338
29/812

識別記号
9447-4M

F I
H 01 L 29/80

技術表示箇所
H

審査請求 未請求 請求項の数4 O.L (全6頁)

(21)出願番号

特願平8-202467

(22)出願日

平成8年(1996)7月31日

(71)出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72)発明者 前田 就彦

東京都新宿区西新宿三丁目19番2号日本電
信電話株式会社内

(72)発明者 楢木 孝知

東京都新宿区西新宿三丁目19番2号日本電
信電話株式会社内

(72)発明者 石井 康信

東京都新宿区西新宿三丁目19番2号日本電
信電話株式会社内

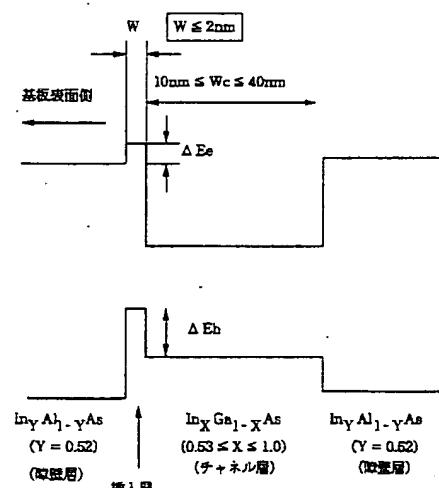
(74)代理人 弁理士 福森 久夫

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 本発明の目的は、格子整合 ($X = 0, 5.3$) および非格子整合系 ($X > 0, 5.3$) の InPベースHEMTにおいて観察されるキンクの発生、耐圧の低下、ドレインコンダクタンスの増大等を抑制・低減し、InPベースHEMTの高性能化を行なうことである。

【解決手段】 本発明は、格子整合系および格子非整合系のダブルヘテロ構造のチャネル層を有し、ゲート電圧によって2次元電子チャネルを形成させるヘテロ接合電界効果トランジスタにおいて、前記チャネル層のダブルヘテロ構造のうち、2次元電子チャネルを形成する側のヘテロ接合界面に、価電子帯の上端が前記チャネル層の価電子帯より上部に位置する半導体層を挿入することにより、電子とホールの局在する空間的位置を重ねたことを特徴とする。



挿入層 : (1) $Al_{Y_1}Ga_{1-Y_1}As_1-Y_2Sb_{Y_2}$
(2) $In_{Y_1}Al_{1-Y_1}As_1-Y_2Sb_{Y_2}$
(3) $GeAs_1-Y_2Sb_{Y_2}$
(4) Sb 単原子層

【特許請求の範囲】

【請求項1】 格子整合系および格子非整合系のダブルヘテロ構造のチャネル層を有し、ゲート電圧によって2次元電子チャネルを形成させるヘテロ接合電界効果トランジスタにおいて、

前記チャネル層の前記ダブルヘテロ構造のうち、前記2次元電子チャネルを形成する側のヘテロ接合界面に、価電子帯の上端が前記チャネル層の価電子帯より上部に位置する半導体層を挿入することにより、電子とホールの局在する空間的位置を重ねたことを特徴とする半導体装置。

【請求項2】 前記半導体層の厚みが、2nm以下であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記半導体層が、 $Al_{Y_1}Ga_{1-Y_1}As_{1-Y_2}Sb_{Y_2}$ 層、 $In_{Y_1}Al_{1-Y_1}As_{1-Y_2}Sb_{Y_2}$ 層 ($0 < Y_1, Y_2 < 1$)、 $In_{Y_1}Ga_{1-Y_1}As_{1-Y_2}Sb_{Y_2}$ 層 ($0 < Y_1, Y_2 < 1$)、 $GaAs_{1-Y_3}Sb_{Y_3}$ 層 ($0.2 \leq Y_3 \leq 0.4$)、あるいはSb層から選択されるとを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 前記2次元電子チャネルを形成する側のヘテロ接合が、 $In_xGa_{1-x}As$ チャネル層と $In_yAl_{1-y}As$ 障壁層とにより構成されることを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ダブル・ヘテロ構造チャネルを有する超高速・超高周波用化合物半導体電界効果トランジスタに関する。

【0002】

【従来の技術】従来より、高電子移動度トランジスタ(HEMT)の中でも、InP基板上に作製したヘテロ接合電界効果トランジスタは、 $In_xGa_{1-x}As$ チャネルの高いIn組成 ($X \geq 0.53$) によって高い電子移動度が得られるため、GaAsベースHEMTに比べて高速動作が可能である。しかしながら、In組成の高い $In_xGa_{1-x}As$ チャネルは衝突イオン化率が高くなるため、デバイス動作において多くの正孔を発生し、これが原因となって、電流・電圧特性 (I-V特性) におけるキンクの発生、耐圧の低下、ドレインコンダクタンスの増大といったデバイス動作に好ましくない現象が発現する。従って、InPベースHEMTの高性能化を行なうためには、これらの現象を抑制・低減することが必要とされていた。

【0003】

【発明が解決しようとする課題】本発明の目的は、格子整合 ($X=0.53$) および非格子整合系 ($X>0.53$) のInPベースHEMTにおいて観察されるキンクの発生、耐圧の低下、ドレインコンダクタンスの増大等を抑制・低減し、InPベースHEMTの高性能化を行なうことである。

【0004】

【課題を解決するための手段】本発明は、格子整合 ($X=0.53$) および非格子整合系 ($X>0.53$) における、従来のInPベースHEMTにおいて観察されるキンクの発生、耐圧の低下、ドレインコンダクタンスの増大等を抑制・低減するため、下記手法により、素子内の電子・正孔の再結合を促進することによって正孔濃度を低下させ、上記の目的を実現するものである。

【0005】本発明の主たる構成は、格子整合系および格子非整合系のダブルヘテロ構造のチャネル層を有し、ゲート電圧によって2次元電子チャネルを形成させるヘテロ接合電界効果トランジスタにおいて、前記チャネル層のダブルヘテロ構造のうち、2次元電子チャネルを形成する側のヘテロ接合界面に、価電子帯の上端が前記チャネル層の価電子帯より上部に位置する半導体層を挿入することにより、電子とホール(正孔)との局在する空間的位置を重ねたことを特徴とする。

【0006】ここで、前記挿入される半導体層の厚みが、2nm以下であることを特徴とすることが好ましい。

【0007】また、前記挿入される半導体層は、例えば、 $Al_{Y_1}Ga_{1-Y_1}As_{1-Y_2}Sb_{Y_2}$ 層、 $In_{Y_1}Al_{1-Y_1}As_{1-Y_2}Sb_{Y_2}$ 層、 $In_{Y_1}Ga_{1-Y_1}As_{1-Y_2}Sb_{Y_2}$ 層 ($0 < Y_1, Y_2 < 1$)、 $GaAs_{1-Y_3}Sb_{Y_3}$ 層 ($0.2 \leq Y_3 \leq 0.4$) あるいはSb層等のうちから選択されることが好ましい。

【0008】さらに、前記2次元電子チャネルを形成する側のヘテロ接合が、 $In_xGa_{1-x}As$ チャネル層と $In_yAl_{1-y}As$ 障壁層と、により構成されることが好ましい。

【0009】

【発明の実施の形態】まず、図1および図2に本発明によるInPベースHEMTのポテンシャル構造の概念図を示す。

【0010】図1は、 $In_xGa_{1-x}As$ チャネル層と基板表面側の $In_yAl_{1-y}As$ 障壁層との間に、 $Al_{Y_1}Ga_{1-Y_1}As_{1-Y_2}Sb_{Y_2}$ 層、 $In_{Y_1}Al_{1-Y_1}As_{1-Y_2}Sb_{Y_2}$ 層 ($0 < Y_1, Y_2 < 1$)、 $GaAs_{1-Y_3}Sb_{Y_3}$ 層 ($0.2 \leq Y_3 \leq 0.4$)、あるいはSb単原子層が挿入されているチャネル・ポテンシャル構造を示す図である。

【0011】図2は、 $In_xGa_{1-x}As$ チャネル層と基板表面側の $In_yAl_{1-y}As$ 障壁層との間に、 $In_{Y_1}Ga_{1-Y_1}As_{1-Y_2}Sb_{Y_2}$ 層 ($0 < Y_1, Y_2 < 1$) が挿入されているポテンシャル構造を示す図である。

【0012】これら本発明のポテンシャル構造を示した図1および図2の本質的な特徴は、挿入層の価電子帯の上端が $InGaAs$ チャネル層の価電子帯の上端よりも上に存在していることである。

【0013】ここで、図1および図2で示した本発明に

よるチャネル・ポテンシャル構造の作用を、図3～図5を用いて詳述する。

【0014】図3は従来例であり、図6に示した従来型のInPベースHEMTのポテンシャル構造において、ゲート電圧を印加状態で基底状態の電子および正孔の波動関数の二乗を、チャネル・ポテンシャル形状と共に模式的に示した図である。波動関数の二乗はその量子状態に存在する電子あるいは正孔の存在確率を示すもので、形状は電子あるいは正孔の分布状態を示すものである。図3においては、ゲート電圧印加によって生じた電界によって、電子の波動関数（二乗値）101は基板表面側に、正孔の波動関数（二乗値）102は反基板表面側に引き寄せられており、このため、両者（101及び102）の空間的な重なりが小さくなっていることがわかる。

【0015】また、電子と正孔の再結合の確率は、両者の波動関数（二乗値）の重なりに比例するので、図3の状態は、このチャネル・ポテンシャル構造における再結合の確率が小さく、したがって、高い濃度の正孔が素子内に存在することがわかった。

【0016】ここで、図4は、図1に示した本発明のInPベースHEMTのポテンシャル構造におけるゲート電圧印加状態での基底状態の電子の波動関数（二乗値）201および正孔の波動関数（二乗値）202を、チャネル・ポテンシャル形状と共に模式的に示したものである。

【0017】図4においては、 $In_xGa_{1-x}As$ チャネル層と基板表面側の $In_yAl_{1-y}As$ 障壁層との間に、 $Al_{Y_1}Ga_{1-Y_1}As_{1-Y_2}Sb_{Y_2}$ 層、 $InY_1Al_{1-Y_1}As_{1-Y_2}Sb_{Y_2}$ 層（ $0 < Y_1, Y_2 < 1$ ）、 $GaAs_{1-Y_3}Sb_{Y_3}$ 層（ $0.2 \leq Y_3 \leq 0.4$ ）あるいはSb単原子層が挿入されているため、挿入層の価電子帯の上端が $InGaAs$ チャネル層の価電子帯の上端よりも上に存在し、その結果、正孔の波動関数（二乗値）202は電子の波動関数（二乗値）201と同様に基板表面側に引き寄せられている様子が示されている。

【0018】したがって、本発明のチャネル・ポテンシャル構造においては、電子と正孔との波動関数（二乗値）の重なりが大きくなるため、再結合の確率が促進され、素子内の正孔濃度が低下しており、その結果、リンクの発現、耐圧の低下、ドレインコンダクタンスの増加といったデバイス動作に好ましくない現象が抑制・低減される。

【0019】さらに、図5は、図2に示した本発明のInPベースHEMTにおけるゲート電圧印加状態での基底状態の電子および正孔の波動関数の二乗を、チャネル・ポテンシャル形状と共に模式的に示したものである。

【0020】図5においては、 $In_xGa_{1-x}As$ チャネル層と基板表面側の $In_yGa_{1-y}As$ 障壁層との間に、 $In_{Y_1}Ga_{1-Y_1}As_{1-Y_2}Sb_{Y_2}$ 層（ $0 < Y_1, Y_2 <$

1）が挿入されているため、挿入層の価電子帯の上端が $InGaAs$ チャネル層の価電子帯の上端よりも上に存在し、その結果、正孔の波動関数（二乗値）302は電子の波動関数（二乗値）301と同様に基板表面側に引き寄せられている様子が示されている。

【0021】この状況は、図4の状況と基本的に同じであり、本発明のチャネル・ポテンシャル構造においても、リンクの発現、耐圧の低下、ドレインコンダクタンスの増加といったデバイス動作に好ましくない現象が抑制・低減される。

【0022】なお、本発明の図4および図5いずれの場合においても、挿入層の厚さを2nm以下とすると、下記実施例に示す範囲の元素組成においては挿入層の格子不整合は問題とはならない。

【0023】

【実施例】本発明は、以下の実施例に限定されることはいうまでもない。

【0024】（実施例1）図1の構造において、挿入層を $GaAs_{1-Y_2}Sb_{Y_2}$ とし、 $0.2 \leq Y_2 \leq 0.4$ とした構造。 Y_2 をこのように変化させる時、図1における ΔEh は $0.2eV \leq \Delta Eh \leq 0.5eV$ のように変化し、図4に示す状況が作りだされた。なお、 ΔEe は $\Delta Ee \sim 0.1eV$ 程度であった。

【0025】（実施例2）実施例1において、 $In_xGa_{1-x}As$ チャネル層の In 組成 X が $0.53 \leq X \leq 0.8$ である非格子整合チャネルを含む構造。 $In_xGa_{1-x}As$ の価電子帯上端は X が変化しても大きさは変化しないので、この構造においても図4に示す状況が作りだされた。

【0026】（実施例3）実施例1において、 $In_xGa_{1-x}As$ チャネル層の In 組成 X がチャネル層内で変化させられている組成変調非格子整合チャネルを含む構造。ここで、 X は $0.53 \leq X \leq 1$ とする。例えば、 X を基板表面側から反基板表面側に、 $X = 1.0 \rightarrow 0.53$ のように段階的にあるいは連続的に変化させたチャネル構造がその例である。

【0027】（実施例4）図1の構造において、挿入層を $Al_{Y_1}Ga_{1-Y_1}As_{1-Y_2}Sb_{Y_2}$ 層とし、 $0 < Y_1 \leq 0.5, 0.4 \leq Y_2 \leq 0.7$ とした構造。本実施例の構造においては、図1における ΔEh および ΔEe は、 $0.2eV \leq \Delta Eh \leq 0.6eV, 0.1eV \leq \Delta Ee \leq 0.3eV$ 程度であった。かかる ΔEh によって図4に示す状況が作りだされた。本実施例4は実施例1に比べて ΔEe が大きく、より多くの電子をチャネルに閉じ込めるのに有利な構造であった。

【0028】（実施例5）実施例4において、 $In_xGa_{1-x}As$ チャネル層の In 組成 X が $0.53 \leq X \leq 0.8$ である非格子整合チャネルを含む構造。 $In_xGa_{1-x}As$ の価電子帯上端は X が変化しても大きさは変化せず、この構造においても図4に示す状況が作りださ

れた。

【0029】(実施例6) 実施例4において、 $In_xGa_{1-x}As$ チャネル層のIn組成Xがチャネル層内で変化させられている組成変調非格子整合チャネルを含む構造。ここで、Xは $0.53 \leq X \leq 1.0$ とする。例えれば、Xを基板表面側から反基板表面側に、 $X = 1.0 \rightarrow 0.53$ のように段階的にあるいは連続的に変化させたチャネル構造がその例である。

【0030】(実施例7) 図1の構造において、挿入層を $In_{y_1}Al_{1-y_1}As_{1-y_2}Sb_{y_2}$ 層とし、 $Y_1 = 0.52, 0.2 \leq Y_2 \leq 0.4$ とした構造。 Y_2 をこのように変化させる時、図1における ΔE_h は $0.2eV \leq \Delta E_h \leq 0.5eV$ のように変化し、図4に示す状況となった。なお、 ΔE_e は $\Delta E_e \sim 0.1eV$ 程度であった。

【0031】(実施例8) 実施例7において、 $In_xGa_{1-x}As$ チャネル層のIn組成Xが $0.53 \leq X \leq 0.8$ である非格子整合チャネルを含む構造。 $In_xGa_{1-x}As$ の価電子帯上端はXが変化しても大きくは変化せず、この構造においても図4に示す状況となった。

【0032】(実施例9) 実施例7において、 $In_xGa_{1-x}As$ チャネル層のIn組成Xがチャネル層内で変化させられている組成変調非格子整合チャネルを含む構造。ここで、Xは $0.53 \leq X \leq 1.0$ とする。例えれば、Xを基板表面側から反基板表面側に、 $X = 1.0 \rightarrow 0.53$ のように段階的にあるいは連続的に変化させたチャネル構造がその例である。

【0033】(実施例10) 図1の構造において、挿入層をSb単原子層とした構造。挿入界面の価電子帯上端が上昇し、図4に示す状況が作りだされた。

【0034】(実施例11) 実施例10において、 $In_xGa_{1-x}As$ チャネル層のIn組成Xが $0.53 \leq X \leq 0.8$ である非格子整合チャネルを含む構造。 $In_xGa_{1-x}As$ の価電子帯上端はXが変化しても大きくは変化しないので、この構造においても図4に示す状況が作りだされた。

【0035】(実施例12) 実施例10において、 $In_xGa_{1-x}As$ チャネル層のIn組成Xがチャネル層内で変化させられている組成変調非格子整合チャネルを含む

構造。ここで、Xは $0.53 \leq X \leq 1.0$ とする。例えれば、Xを基板表面側から反基板表面側に、 $X = 1.0 \rightarrow 0.53$ のように段階的にあるいは連続的に変化させたチャネル構造がその例である。

【0036】(実施例13) 図2の構造の挿入層 $In_{y_1}Ga_{1-y_1}As_{1-y_2}Sb_{y_2}$ 層($0 < Y_1, Y_2 < 1$)において、 $Y_1 = X, 0.2 \leq Y_2 \leq 0.4$ とした構造。ただし、 X_1 は $In_xGa_{1-x}As$ チャネル層のIn組成 $X = X_1$ であり、 $0.53 \leq X_1 \leq 0.8$ とする。 Y_2 をこのように変化させる時、本実施例の図2における ΔE_h は $0.2eV \leq \Delta E_h \leq 0.6eV$ であり、図5に示す状況が作りだされた。なお、 ΔE_e は $\Delta E_e < 0.1eV$ であった。

【0037】(実施例14) 実施例13において、 $In_xGa_{1-x}As$ チャネル層のIn組成Xがチャネル層内で変化させられている組成変調非格子整合チャネルを含む構造。ここで、Xは $0.53 \leq X \leq 0.8$ とする。この場合の $In_{y_1}Ga_{1-y_1}As_{1-y_2}Sb_{y_2}$ 層($0 < Y_1, Y_2 < 1$)における Y_1 は、Xの最大値に等しくするものとする。

【0038】

【発明の効果】本発明によれば、 $InGaAs$ チャネル層における電子・正孔の再結合速度を促進するため、素子内の正孔濃度を低下することが可能になる。その結果、従来より解決が困難であった、キックの発現、耐圧の低下、ドレインコンダクタンスの増加等の $InGaAs$ チャネルにおいて発現するデバイス動作に好ましくない現象を抑制・低減することが可能となる。

【図面の簡単な説明】

【図1】本発明によるInPベースHEMTのポテンシャル構造を示す図である。

【図2】本発明によるInPベースHEMTのポテンシャル構造を示す図である。

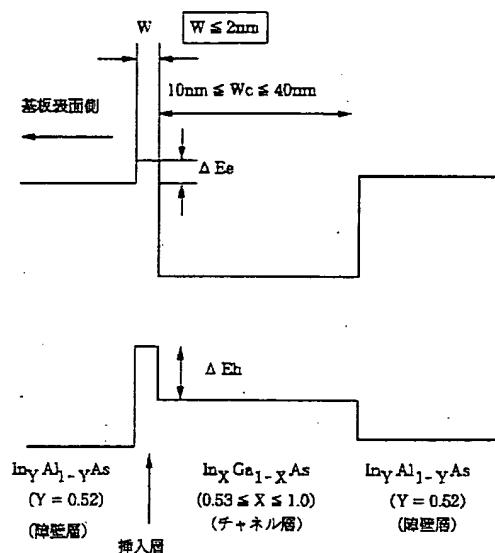
【図3】本発明の作用を示すための説明図である。

【図4】本発明の作用を示すための説明図である。

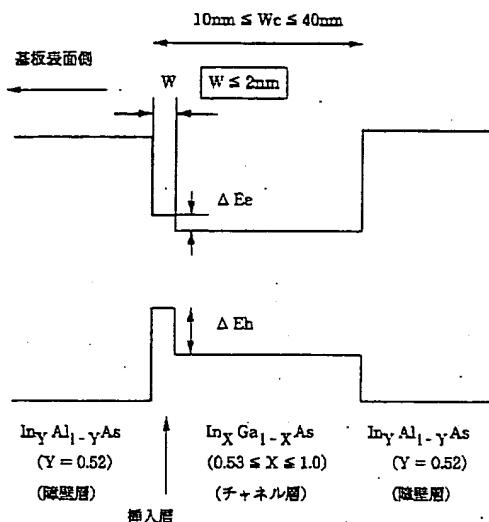
【図5】本発明の作用を示すための説明図である。

【図6】従来型のInPベースHEMTのポテンシャル構造を示す図である。

【図1】



【図2】

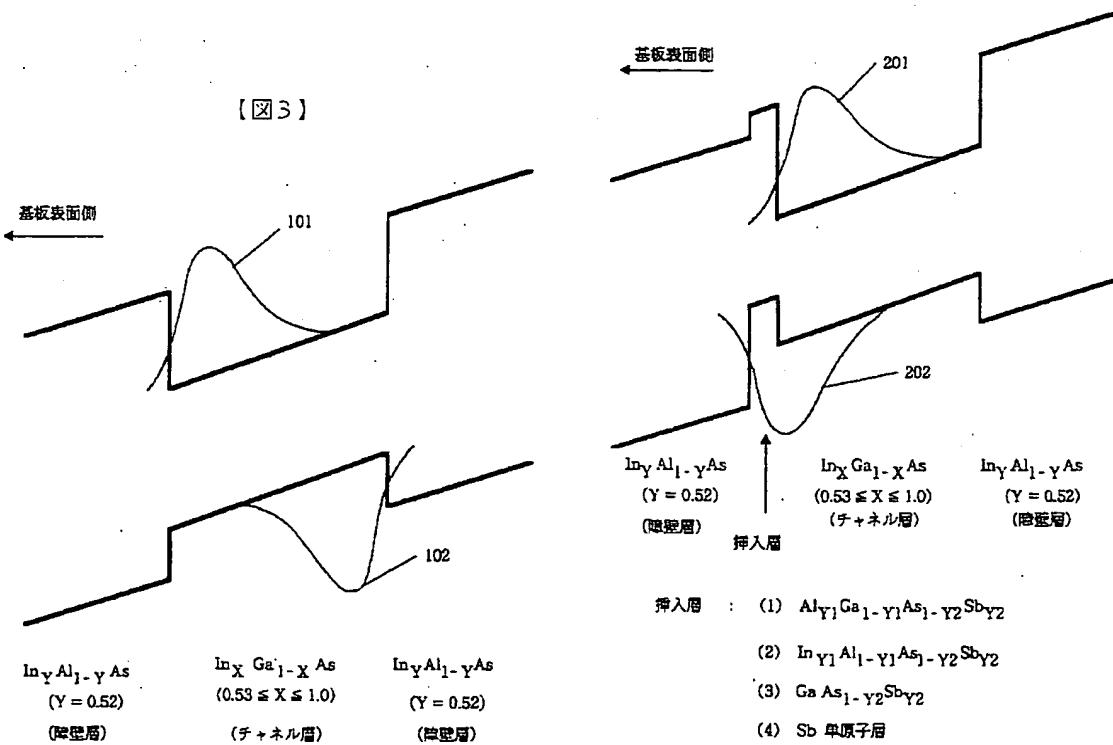


挿入層 :

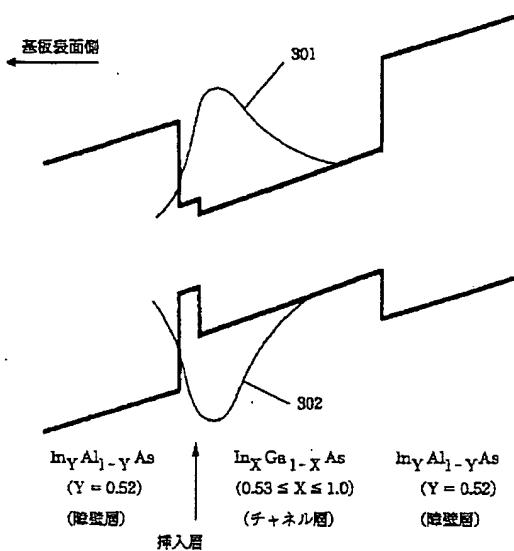
- (1) $\text{Al}_{Y_1}\text{Ga}_{1-Y_1}\text{As}_{1-Y_2}\text{Sb}_{Y_2}$
- (2) $\text{In}_{Y_1}\text{Al}_{1-Y_1}\text{As}_{1-Y_2}\text{Sb}_{Y_2}$
- (3) $\text{GaAs}_{1-Y_2}\text{Sb}_{Y_2}$
- (4) Sb 単原子層

挿入層 : $\text{In}_{Y_1}\text{Ga}_{1-Y_1}\text{As}_{1-Y_2}\text{Sb}_{Y_2}$

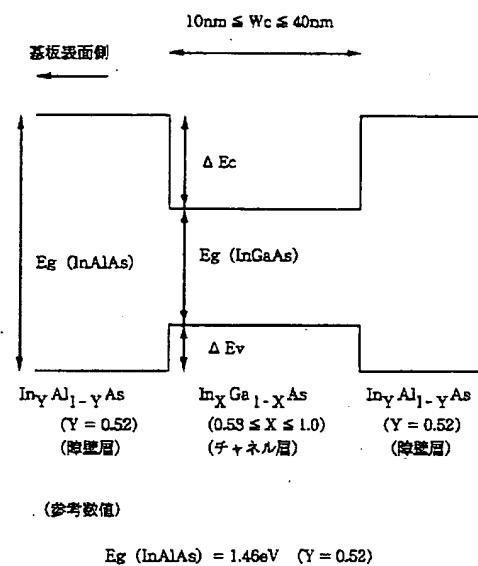
【図4】



【図5】



【図6】



	Eg (InGaAs) (eV)	ΔEc (eV)	ΔEv (eV)
X = 0.53	0.76	0.50	0.20
X = 0.6	0.69	0.55	0.22
X = 0.8	0.51	0.68	0.27